

WORKSHOP

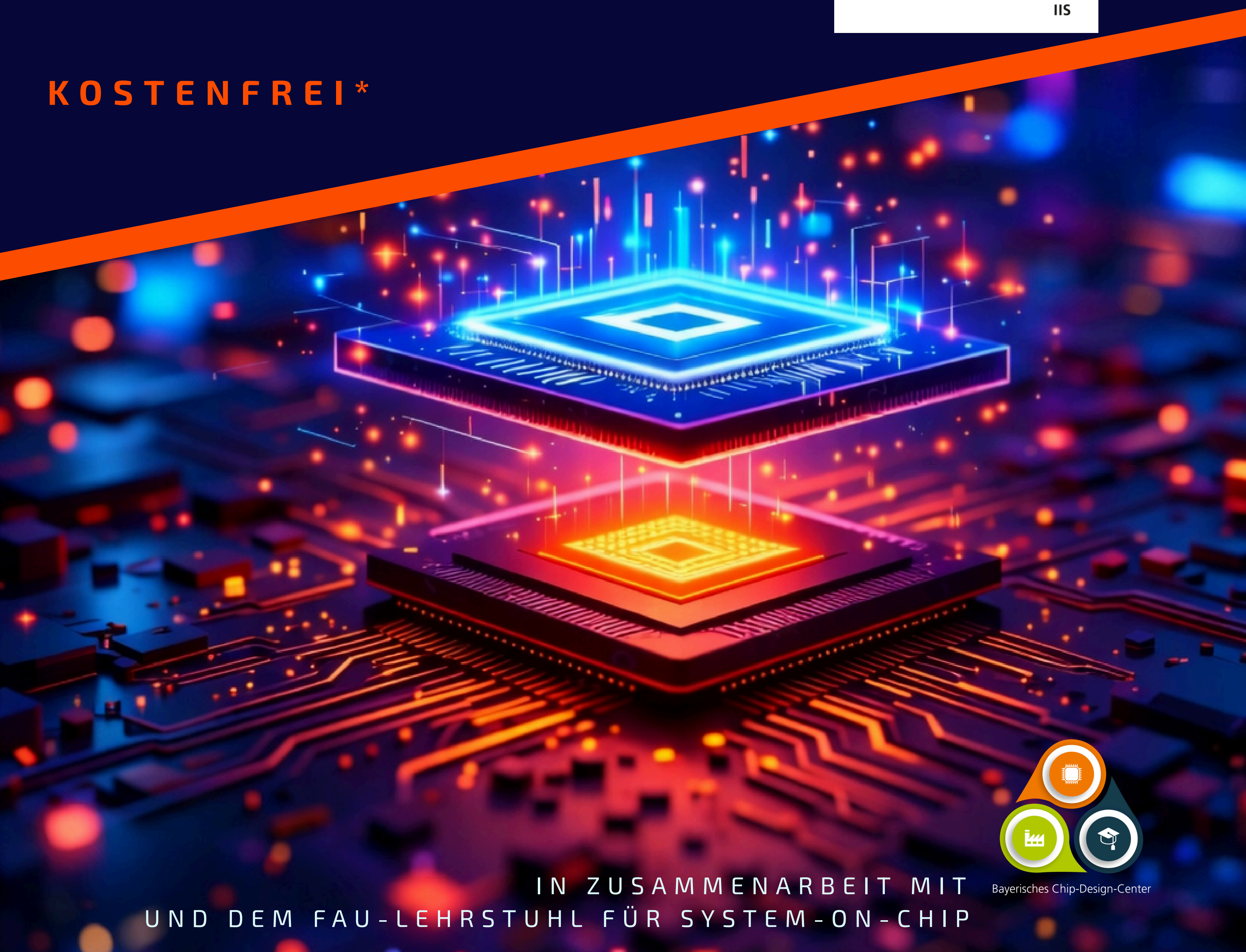
RISC-V: VON OPEN-SOURCE ZU CUSTOM CPU_s

5 TAGE | OKTOBER 2026 | 09:00 - 17:00 UHR

FRAUNHOFER IIS | ERLANGEN



KOSTENFREI*



IN ZUSAMMENARBEIT MIT
UND DEM FAU-LEHRSTUHL FÜR SYSTEM-ON-CHIP



Bayerisches Chip-Design-Center

INHALTE & TERMINE

- **12.10.2026:** RISC-V-Befehlssatzarchitektur | Tools (Docker, Make, Compiler, Simulator) | Einrichtung eines offenen, eingebetteten 32-Bit-RISC-V-Core & Aufbau eines funktionsfähigen RISC-V-basierten Systems
- **13.10.2026:** Kompilierung & Simulation einer Matrixmultiplikation in C | Profilierung
- **14.10.2026:** KI Beschleunigung | Entwicklung & Simulation
- **26.10.2026:** RISC-V-Erweiterungsschnittstelle | MatMul-ISA-Erweiterung | C-Code für Interaktion mit Beschleuniger
- **27.10.2026:** Ausführung des industriellen Anwendungsprogramms | Synthetisierung, Ausführung & Verifizierung der Hardware für das FPGA

LERNZIELE

- Beherrschung des RISC-V Entwicklungsprozesses (offene Befehlsarchitektur, Mikroarchitektur, Umsetzung auf FPGA) | Entwurf, Konfiguration und Nutzung von RISC-V-Systemen
- Analyse von Leistungsengpässen
- Simulation und Implementierung eines KI-Beschleunigers zur eigenständigen Weiterentwicklung anwendungsspezifischer Hardware-Architekturen
- Grundlagen zu Central Processing Unit und Erklärungen der Instruction Set Architecture
- Anwendung einer Hardware Description Language - speziell SystemVerilog
- Integration einer Single-Cycle RISC-V CPU auf einem Field Programmable Gate Array (FPGA)

ZIELGRUPPE

Der Workshop richtet sich an Fachkräfte aus den Bereichen Embedded Systems, Digital IC-Design und Computerarchitektur, die praktische Erfahrungen mit RISC-V und FPGA-basierter Hardwareentwicklung sammeln möchten. Grundlegende Kenntnisse in HDL, besonders in SystemVerilog und Rechnerarchitektur, sind empfehlenswert.

INFORMATION UND ANMELDUNG

Für das fünftägige Seminar erheben wir eine ***Verpflegungspauschale** in Höhe von 150€ netto pro Person. Die An- und Abreise sowie ggf. Übernachtungen erfolgen auf eigene Kosten, weitere Kosten entstehen nicht.

Die Fachsprache des Workshops ist Englisch, die Organisation erfolgt in Deutsch.

Weitere Informationen zu den Teilnahmebedingungen sowie das Anmeldeformular finden Sie unter: www.sensorik-bayern.de/seminare/#chipdesign Bitte beachten Sie dort die gesonderten Compliance-Bedingungen von Fraunhofer IIS.

Kontakt: Anja Sloet | a.sloet@sensorik-bayern.de | 0941-63091623

